

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-235633

(43)Date of publication of application : 05.09.1995

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 06-028031

(71)Applicant : FUJITSU LTD

(22)Date of filing : 25.02.1994

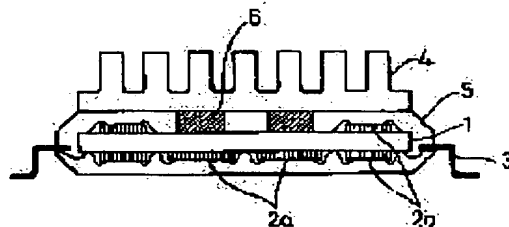
(72)Inventor : TANMACHI HARUO

(54) MULTI-CHIP MODULE

(57)Abstract:

PURPOSE: To lessen a board in area and a multi-chip module in cost by a method wherein semiconductor chips 2a and 2b are mounted on both the sides of the board, and the multi-chip module excellent in heat dissipating properties is provided.

CONSTITUTION: A multi-chip module is equipped with a board 1 on whose sides parts (chips) are mounted, the parts mounted on the first side of the board 1, the other parts mounted on the second side of the board 1, and a heat dissipating block 6 which is mounted on the second side of the board 1 at a prescribed spot confronting the part 2a which is out of the parts mounted on the first side and comparatively large in heat releasing value and all sealed up with a molding resin 5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-235633

(43)公開日 平成7年(1995)9月5日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	25/065			
	25/07			
	25/18			
			H 0 1 L 25/ 08	Z
審査請求 未請求 請求項の数 3 O L (全 4 頁)				

(21)出願番号 特願平6-28031

(22)出願日 平成6年(1994)2月25日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 反町 東夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 石田 敬 (外3名)

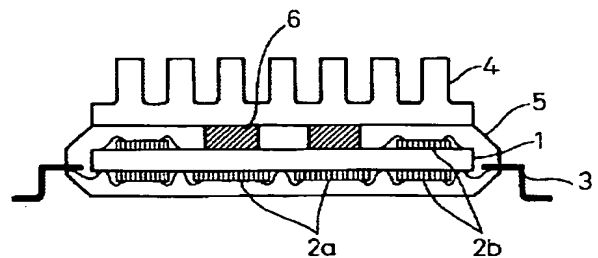
(54)【発明の名称】 マルチチップモジュール

(57)【要約】

【目的】 基板1の両面に半導体チップ2 a, 2 bを搭載し、かつ放熱の良好なマルチチップモジュールを提供することにより、基板の面積を縮小しマルチチップモジュールのコストを下げることを目的とする。

【構成】 両面に部品(チップ)を搭載できるようにした基板1と、基板の第1の面に搭載された部品と、基板の第2の面に搭載された部品と、第1の面に搭載された部品の中で比較的発熱量の大きな部品2 aに対向する位置にて、基板の第2の面に搭載された放熱ブロック6とを備え、全体を樹脂モールド5によって封止したマルチチップモジュールである。

本発明の原理図



- | | |
|----------------|----------|
| 1…基板 | 4…放熱フィン |
| 2 a…発熱量の大きいチップ | 5…樹脂モールド |
| 2 b…発熱量の小さいチップ | 6…放熱ブロック |
| 3…リード | |

【特許請求の範囲】

【請求項 1】 両面に部品（2 a, 2 b）を搭載できるようにした基板（1）と、該基板の第 1 の面に搭載された部品と、基板の第 2 の面に搭載された部品と、第 1 の面に搭載された部品のうち比較的発熱量の大きい部品（2 a）と対向する位置にて基板の第 2 の面に接着された放熱ブロック（6）とを備え、全体を樹脂モールド（5）によって封止したことを特徴とするマルチチップモジュール。

【請求項 2】 放熱ブロック（6）を樹脂モールド（5）外周面と同じ面に露出させ、該放熱ブロック（6）を露出させた面に放熱フィン（4）を取付けたことを特徴とする請求項 1 に記載のマルチチップモジュール。

【請求項 3】 基板（1）は、その内部に金属配線を含むセラミック部（1 1）と、該セラミック部の上面に形成した薄膜配線部（1 2）とで構成され、放熱ブロック（6）は、薄膜配線部（1 2）を形成していないセラミック部（1 1）に直接接着したことを特徴とする請求項 1 に記載のマルチチップモジュール。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、半導体装置に関し、特に複数の半導体チップを 1 つの基板上に高密度に実装することにより、チップ間の配線遅延を軽減し、高速の動作を可能にするマルチチップモジュールないしマルチチップパッケージ（以下、マルチチップモジュールという）に関する。

【0002】マルチチップモジュールは、高速の半導体チップを実装する上で最も優れた方式であるが、一般に高価な多層配線基板を必要とする。したがって、マルチチップモジュールを採用する場合は、基板のコストを出来る限り下げる必要があり、また複数の半導体チップより生ずる熱を効率良く発散させる必要がある。

【0003】

【従来の技術】図 2 に基板の片面に複数のチップが搭載された従来のマルチチップモジュールの一例を示す。図 2 において、1 は基板であり、セラミック多層基板、又は適当な基板の上に薄膜多層配線を形成した基板である。2 は半導体（IC）チップであり、一般的にワイヤボンディングによって基板 1 の一方の面に接続され且つ搭載されている。3 は外部リードであり、基板 1 に金-錫合金等のろう材を用いて接続されている。4 は放熱のための放熱フィンであり、基板 1 の半導体チップ 2 とは反対側の面に取付けられている。そして、モジュール全体は封止用樹脂 5 で封止されている。

【0004】一般に多層基板は高価である。特に薄膜多層基板は、極めて高価な基板である。しかしながら、薄膜多層基板は、実装密度が高いこと、及び絶縁体の誘電率を低くとれることにより、他の基板と比較してチップ

間の配線遅延を低く抑えることができるので、特性上は最も優れたものである。半導体チップの個数に対する基板の使用量を減らす方法として、図 3 に示すように、基板の両面に半導体チップを搭載する方法がある。即ち、図 3 は基板の両面にチップを搭載した従来のマルチチップモジュールの一例を示すもので、このように基板の両面に半導体チップ 2 を搭載する場合は、機械的保護と封止を兼ねて樹脂モールド 5 をするのが効果的である。

【0005】

【発明が解決しようとする課題】しかしながら、図 3 に示したように、基板の両面に半導体チップを搭載する場合は、基板の使用量を減らす効果はあるものの、放熱性が悪いという問題点がある。即ち図 3 において、半導体チップ 2 の熱は、モールド樹脂 5 を介して放熱フィン 4 に伝達されるので、通常は、図 3 に示すようなモジュールを適用できるのは、モジュール全体の消費電力が 10 W 以下、望ましくは 5 W 以下の場合に限定される。ところが、マルチチップモジュールは本来高速回路に適用されるものであり、消費電力は比較的大きいものが多く、回路の規模にもよるが、一般的には消費電力が 10～30 W 程度のものが普通である。

【0006】マルチチップモジュールに搭載される全ての半導体チップ 2 が大電力を消費するものであれば、図 2 に示すように、基板 1 の半導体チップ 2 とは反対側の面を最短距離で放熱フィン 4 に熱的に接続する必要がある。しかし、このように全ての半導体チップ 2 が大電力を消費するようなマルチチップモジュールはむしろ例外であり、通常は、基板上に搭載される半導体チップの中の一部が大きな電力を消費し、他のチップの消費電力はそれ程大きくない場合が一般的である。このような場合は、図 2 のような構造は実装上の点で無駄となる。

【0007】また、一部の半導体チップのみについて良好な放熱を行えばよいのであれば、発熱量の大きいチップの反対面を放熱板に直接熱的に結合させる方法が考えられる。シングルチップパッケージではこの構造は公知であり、例えば図 4 のような方法がある。図 4 において、半導体チップ 1 はステージ（通常、金属板である）2 に接着され、モールド樹脂 5 はステージ 2 の一部を露出させるように形成される。露出されたステージ部 1 に放熱フィン等の放熱手段（図示せず）を接触させることにより、良好な放熱が達成される。しかしながら、この方法は、複数の半導体チップが 1 つの基板上に搭載されるマルチチップモジュールに適用するのは困難である。というのは、半導体チップの配置は機種によって異なるため、この方法ではマルチチップモジュールの機種ごとにモールド型を必要とするからである。

【0008】そこで、本発明の目的は、基板の両面に半導体チップを搭載することにより、基板面を有効に利用し、かつ放熱の良好なマルチチップモジュールを提供することにより、基板の面積を縮小し且つマルチチップモ

ジュールのコストを下げることにある。

【0009】

【課題を解決するための手段】このような課題を解決するために、請求項1によれば、図1に示すように、両面に部品(2a, 2b)を搭載できるようにした基板1と、該基板の第1の面に搭載された部品と、基板の第2の面に搭載された部品と、第1の面に搭載された部品の中で比較的発熱量の大きな部品2aと対向する位置にて基板の第2の面に接着された放熱ブロック6とを備え、全体を樹脂モールド5によって封止したことを特徴とするマルチチップモジュールが提供される。

【0010】請求項2によれば、放熱ブロック6を樹脂モールド5の外周面と同じ面に露出させ、該放熱ブロック6を露出させた面に放熱フィン4を取付けたことを特徴とする請求項1に記載のマルチチップモジュールが提供される。請求項3によれば、図5に示すように、基板1は、その内部に金属配線を含むセラミック部11と、該セラミック部の上面に形成した薄膜配線部12とで構成され、放熱ブロック6は、薄膜配線部12を形成していないセラミック部11に直接接着したことを特徴とする請求項1に記載のマルチチップモジュールが提供される。

【0011】

【作用】請求項1によれば、比較的発熱量の大きな部品2aと対向する基板の面には他の部品はなくて、その代わりに放熱ブロック6を設けたので、これらの部品2aは放熱ブロック6を介して効率良く放熱される。請求項2によれば、発熱量の大きな部品2aは放熱ブロック6を介して放熱フィン4により更に効率良く放熱される。

【0012】請求項3によれば、発熱量の大きな部品2aはセラミック部11に直接取付けられた放熱ブロック6を介して良く放熱される。

【0013】

【実施例】以下、図1及び図5を参照して本発明の実施例を詳細に説明する。図1は本発明のマルチチップモジュールの原理を示すものである。図1において上下両面に部品を搭載できるようにした基板1の下面には、比較的発熱量の大きな部品(1C等の半導体チップ)2a及び比較的発熱量の少ない部品(1C等の半導体チップ)2bを搭載する。一方、基板の上面には、部品2aと対向する位置を除いて比較的発熱量の少ない部品(1C等の半導体チップ)2bを搭載する。そして、基板1の上面の、発熱量の大きな部品2aと対向する位置にて、個々の部品2aに対応して放熱ブロック6接着し、全体を樹脂モールド5によって封止する。樹脂モールド5によって封止した後、樹脂モールド5の表面を研磨して、放熱ブロック6の面を露出させる。この研磨した面に放熱フィン4を接着させる。これにより、比較的発熱量の大きな部品(1C等の半導体チップ)2aは放熱ブロック6及び放熱フィン4により効率良く放熱される。

【0014】図5において、11はセラミック多層基板である。基板の基材、即ち絶縁材料はアルミナであり、ビア14と内部の配線16はタングステンからなる。絶縁材料としてはアルミナ以外にも窒化アルミニウム等が使用可能である。ムライトセラミック又はガラスセラミックは、熱伝導が悪いため、本発明における基板材料としては適しない。ビア14又は内部の配線16はタングステン以外にモリブデン等も可能である。基板11は両面を研磨して平坦にした。

【0015】次に基板の下面には薄膜多層部12を形成する。薄膜多層部12は導体としてCr-Cu-Crの3層導体、絶縁体として感光性ポリイミドを用いて作成した。半導体チップを搭載する層15は、Ni-Auめっきを行って、ワイヤを用いた接続を容易にした。基板11の上面は薄膜1層としたが、上面も下面と同様薄膜多層とすることも可能である。しかし、一般に薄膜の配線密度は十分高くとれるので、薄膜の配線は下層のみで、十分収容可能である。

【0016】薄膜多層部12は実施例以外にも、各種の材料を用いることができる。放熱ブロック6を接着する部分は、薄膜を形成せず、セラミック部11に直接放熱ブロック6を接着できるようにした。放熱ブロック6を接着する際に気泡が入った場合、水分によって薄膜配線が腐食をおこす恐れがあるからである。薄膜配線の表面を保護樹脂で覆えば腐食の危険はないが、熱伝導が悪くなる。

【0017】半導体チップ2b、2a、放熱ブロック6を樹脂接着剤7を用いて固定した後に、通常のワイヤボンディング法(8)により、半導体チップ2a、2bと基板とを接続した。更にこの基板をリードフレーム(図示せず)上に固定し、リードと基板をワイヤボンディングにより接続した。全体を樹脂(図示せず)でモールド後、リードの切断と成形を行った。

【0018】放熱ブロック6が小さい場合、放熱ブロック6の上面にモールド樹脂(図示せず)が回り込む場合がある。これを避けるために、樹脂モールド後マルチチップモジュールの上面を研磨し放熱ブロックを露出させた。実施例では、薄膜多層基板を例にとったが、セラミック多層を用いることも可能である。この場合は薄膜多層部の部分の形成を除き、作成法は上記の説明と、ほぼ同一である。

【0019】

【発明の効果】以上説明したように、本発明によれば、大電力を消費するマルチチップモジュールにおいても、基板の両面に部品を搭載することができるので、基板の面積を小さくし、マルチチップモジュールのコストを下げる効果がある。同じ高さの放熱ブロックを使用できるので、放熱ブロックの位置が代わっても、その都度モールド型を変更する必要がない。

【図面の簡単な説明】

【図 1】本発明のマルチチップモジュールの原理を示す概略断面図である。

【図 2】従来のマルチチップモジュールであって、基板の一方の面にチップを搭載した例を示す概略断面図である。

【図 3】従来のマルチチップモジュールであって、基板の両面にチップを搭載した例を示す概略断面図である。

【図 4】従来のシングルチップモジュールを示す概略断面図である。

【図 5】本発明のマルチチップモジュールの実施例を示す部分断面図である。

【符号の説明】

1…基板

2 a…発熱量の大きいチップ

2 b…発熱量の小さいチップ

3…リード

4…放熱フィン

5…モールド樹脂

6…放熱ブロック

7…樹脂接着剤

8…ボンディングワイヤ

11…セラミック多層基板

12…薄膜多層部

13…チップ接続用の層

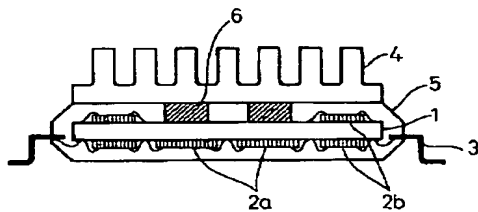
14…導体ビア

15…チップ搭載用の層

16…内部配線

【図 1】

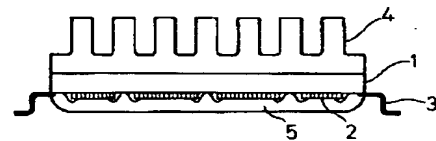
本発明の原理図



1…基板
2 a…発熱量の大きいチップ
2 b…発熱量の小さいチップ
3…リード
4…放熱フィン
5…樹脂モールド
6…放熱ブロック

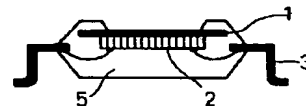
【図 2】

基板の片面にチップを搭載したマルチチップモジュール
(従来例)



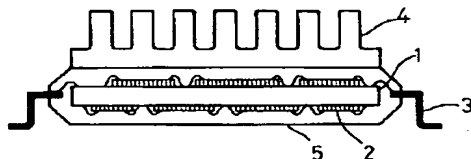
【図 4】

シングルチップモジュール (従来例)



【図 3】

基板の両面にチップを搭載したマルチチップモジュール
(従来例)



【図 5】

本発明の実施例

